

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-283601

(43) 公開日 平成5年(1993)10月29日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/52
25/04
25/18

H 0 1 L 23/52

C

25/04

Z

審査請求 未請求 請求項の数13(全 14 頁)

(21) 出願番号 特願平3-326148

(22) 出願日 平成3年(1991)12月10日

(31) 優先権主張番号 特願平2-404429

(32) 優先日 平2(1990)12月20日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 永 野 順 也

神奈川県川崎市幸区小向東芝町1 株式会

社東芝多摩川工場内

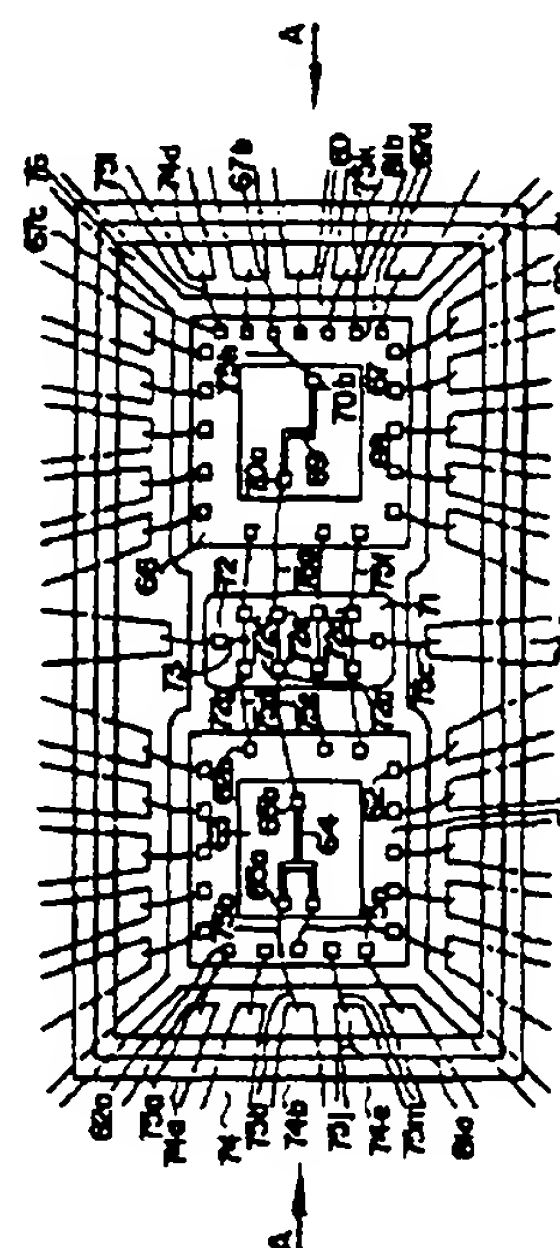
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 相互連結回路基板を有する半導体装置およびその製造方法

(57) 【要約】

【目的】 遠隔の部分に配置された電気連結電極パッドとインナーリードとの電気的接触を半導体チップの内部回路の再設計なしで可能にする改良半導体装置を提供する。

【構成】 所定の平面に合わせて形成されたアイランド20と、複数の電気連結電極パッド22を有し、アイランド20上に配置された半導体チップ21と、電気連結パターンを有し半導体チップ21上に載置された相互連結回路基板23と、アイランド20の周りに配置された複数のインナーリード25と、電気連結パターンと複数の電気連結電極パッドのうちの一つの電気連結電極パッドとを連結する第1電気連結ワイヤと、電気連結パターンとインナーリード25のうちの一つのインナーリード25とを連結する第2電気連結ワイヤとを備えた、相互連結回路基板を有する半導体装置およびその製造方法。



【特許請求の範囲】

【請求項1】(a) 所定の平面に合わせて形成されたアイランドと、

(b) 複数の電気連結電極パッドを有し、アイランド上に配置された半導体チップと、

(c) 電気連結パターンを有し、半導体チップ上に載置された相互連結回路基板と、

(d) アイランドの周りに配置された複数のインナーリードと、

(e) 電気連結パターンとインナーリードのうちの一つのインナーリードとを連結するための第1電気連結手段と、

(f) 電気連結パターンと複数の電気連結電極パッドのうちの一つの電気連結電極パッドとを連結するための第2電気連結手段と、

を備えたことを特徴とする相互連結回路基板を有する半導体装置。

【請求項2】(a) 所定の平面に合わせて形成されたアイランドと、

(b) 複数の電気連結電極パッドを有し、アイランド上に配置された半導体チップと、

(c) アイランドの周りに配置された複数のインナーリードと、

(d) 半導体チップを全体に包囲する電気連結パターンを有する相互連結回路基板であって、複数のインナーリード上に載置され、半導体チップを包囲する相互連結回路基板と、

(e) 電気連結パターンと電気連結電極パッドのうちの一つの電気連結電極パッドとを連結するための第1電気連結手段と、

(f) 電気連結パターンとインナーリードのうちの一つのインナーリードとを連結するための第2電気連結手段と、

を備えたことを特徴とする相互連結回路基板を有する半導体装置。

【請求項3】(a) 所定の平面に合わせて形成されたアイランドと、

(b) 複数の電気連結電極パッドを有し、アイランド上に配置された半導体チップと、

(c) アイランド及び半導体チップの周りに配置された複数のインナーリードと、

(d) 第1電気連結パターンを有し、半導体チップ上に載置された第1相互連結回路基板と、

(e) 第1電気連結パターンとインナーリードのうちの第1のインナーリードとを連結するための第1電気連結手段と、

(f) 第1電気連結パターンと電気連結電極パッドのうちの第1の電気連結電極パッドとを連結するための第2電気連結手段と、

(g) 第2電気連結パターンを有し、複数のインナーリー

ド上に載置された第2相互連結回路基板と、

(h) 第2電気連結パターンと電気連結電極パッドのうちの第2の電気連結電極パッドとを連結するための第3電気連結手段と、

(i) 第2電気連結パターンとインナーリードのうちの第2のインナーリードとを連結するための第4電気連結手段と、

を備えたことを特徴とする相互連結回路基板を有する半導体装置。

【請求項4】(a) 所定の平面に合わせて形成されたアイランドと、

(b) 複数の電気連結電極パッドを有し、アイランド上に配置された第1半導体チップと、

(c) 電気連結パターン及びこの電気連結パターンに連結された複数の電気連結電極パッドを有し、第1半導体チップ上に載置された第1相互連結回路基板と、

(d) 複数の電気連結電極パッドを有し、アイランド上に載置された第2半導体チップと、

(e) 電気連結パターン及びこの電気連結パターンに電気的に連結された複数の電気連結電極パッドを有し、第2半導体チップ上に載置された第2相互連結回路基板と、

(f) 複数の電気連結電極パッド及びこれらの電気連結電極パッドに連結された電気連結パターンを有し、アイランド上で第1半導体チップと第2半導体チップとの間に載置された回路基板と、

(g) アイランドの周りに配置された複数のインナーリードと、

(h) インナーリードのうちの第1のインナーリードと第1半導体チップ上の電気連結電極パッドのうちの第1電気連結電極パッドとを連結するための第1電気連結手段と、

(i) インナーリードのうちの第2のインナーリードと第1相互連結回路基板上の電気連結電極パッドのうちの第1電気連結電極パッドとを連結するための第2電気連結手段と、

(j) インナーリードのうちの第3インナーリードと回路基板上の電気連結電極パッドのうちの第1電気連結電極パッドとを連結する第3電気連結手段と、

(k) 第1半導体チップ上の電気連結電極パッドのうちの第2電気連結電極パッドと回路基板上の電気連結電極パッドのうちの第2電気連結電極パッドとを連結する第4電気連結手段と、

(l) 第1相互連結回路基板上の電気連結電極パッドのうちの第2電気連結電極パッドと回路基板上の電気連結電極パッドのうちの第3電気連結電極パッドとを連結する第5電気連結手段と、

(m) 電気連結回路基板上の第4電気連結電極パッドと第2チップ上の電気連結電極パッドのうちの第1電気連結電極パッドとを連結する第6電気連結手段と、

(n) 電気連結回路基板上の電気連結電極パッドのうちの

3

第5電気連結電極パッドと第2相互連結回路基板上の電気連結電極パッドのうちの第1電気連結電極パッドとを連結する第7電気連結手段と、

(b) 第2相互連結回路基板上の電気連結電極パッドのうちの第2電気連結電極パッドと第2チップ上の電気連結電極パッドのうちの第2電気連結電極パッドとを連結する第8電気連結手段と、

(c) 第2チップ上の電気連結電極パッドのうちの第3電気連結電極パッドとインナーリードのうちの第4インナーリードとを連結する第9電気連結手段と、

を備えたことを特徴とする相互連結回路基板を有する半導体装置。

【請求項5】(a) 所定の平面に合わせて形成されたアイランドと、

(b) 複数の電気連結電極パッドを有し、アイランド上に配置された第1半導体チップと、

(c) 複数の電気連結電極パッドを有し、アイランド上に配置された第2半導体チップと、

(d) 複数の電気連結電極パッド及びこれらの電気連結電極パッドに連結された電気連結パターンを有し、アイランド上で第1半導体チップと第2半導体チップとの間に配置された回路基板と、

(e) インナーリード上の電気連結パターンを有する相互連結回路基板と、

(f) インナーリードのうちの第1のインナーリードと相互連結回路基板上の電気連結パターンとを連結するための第1電気連結手段と、

(g) インナーリードのうちの第1のインナーリードと第1チップ上の電気連結電極パッドのうちの第1電気連結電極パッドとを連結するための第2電気連結手段と、

(h) インナーリードのうちの第2のインナーリードと回路基板上の電気連結電極パッドのうちの第1電気連結電極パッドとを連結するための第3電気連結手段と、

(i) 回路基板上的電気連結電極パッドのうちの第2電気連結電極パッドと第1チップ上の電気連結電極パッドのうちの第2電気連結電極パッドとを連結する第4電気連結手段と、

(j) 回路基板上的電気連結電極パッドのうちの第3電気連結電極パッドと第2チップ上の第1電気連結電極パッドとを連結する第5電気連結手段と、

(k) 第2チップ上の電気連結電極パッドのうちの第2電気連結電極パッドとインナーリードのうちの第3インナーリードとを連結する第6電気連結手段と、

(l) 第2チップ上の電気連結電極パッドのうちの第3電気連結電極パッドと連結回路基板上的電気連結パターンとを連結する第7電気連結手段と、

を備えたことを特徴とする相互連結回路基板を有する半導体装置。

【請求項6】(a) 所定の平面に合わせて形成されたアイランドと、

4

(b) 複数の電気連結電極パッドを有し、アイランド上に配置された第1半導体チップと、

(c) 電気連結パターン及びこの電気連結パターンに連結された複数の電気連結電極パッドを有し、第1半導体チップ上に配置された第1相互連結回路基板と、

(d) 複数の電気連結電極パッドを有し、アイランド上に配置された第2半導体チップと、

(e) 電気連結パターン及びこの電気連結パターンに連結された複数の電気連結電極パッドを有し、第2半導体チップ上に配置された第2相互連結回路基板と、

(f) 複数の電気連結電極パッド及びこれらの電気連結電極パッドに連結された電気連結パターンを有し、アイランド上で第1半導体チップと第2半導体チップとの間に配置された回路基板と、

(g) アイランドの周りに配置された複数のインナーリードと、

(h) インナーリード上に電気連結パターンを有する第3相互連結回路基板と、

(i) インナーリードのうちの第1のインナーリードと第1チップ上の電気連結電極パッドのうちの第1電気連結電極パッドとを連結するための第1電気連結手段と、

(j) インナーリードのうちの第1のインナーリードと第3相互連結回路基板上的電気連結パターンとを連結するための第2電気連結手段と、

(k) インナーリードのうちの第2インナーリードと第1相互連結回路基板上的電気連結電極パッドのうちの第1電気連結電極パッドとを連結する第3電気連結手段と、

(l) 第1チップ上の電気連結電極パッドのうちの第2電気連結電極パッドと第1相互連結回路基板上的第2電気連結電極パッドとを連結する第4電気連結手段と、

(m) インナーリードのうちの第3インナーリードと回路基板上的電気連結電極パッドのうちの第1電気連結電極パッドとを連結する第5電気連結手段と、

(n) 第1チップ上の電気連結電極パッドのうちの第3電気連結電極パッドと回路基板上的第2電気連結電極パッドとを連結する第6電気連結手段と、

(o) 第1相互連結回路基板上的電気連結電極パッドのうちの第3電気連結電極パッドと回路基板上的電気連結電極パッドのうちの第3電気連結電極パッドとを連結する第7電気連結手段と、

(p) 回路基板上的電極パッドのうちの第4電極パッドと第2チップ上の第1電気連結電極パッドとを連結する第8電気連結手段と、

(q) 回路基板上的電気連結電極パッドのうちの第5電気連結電極パッドと第2相互連結回路基板上的第1電気連結電極パッドとを連結する第9電気連結手段と、

(r) 第2チップ上の第2電気連結電極パッド上の第2電気連結電極パッドを連結する第10電気連結手段と、

(s) 電気連結電極パッドのうちの第3電気連結電極パッドと及びインナーリードのうちの第5インナーリードと

を連結する第11電気連結手段と、

(i) 第2チップ上の電気連結電極パッドのうちの第4電気連結電極パッドと第3相互連結回路基板上の電気連結パターンとを連結する第12電気連結手段と、

を備えたことを特徴とする相互連結回路基板を有する半導体装置。

【請求項7】前記電気連結手段は銅を含み、電気連結電極パッドはニッケル、銅、及びアルミニウムを含み、前記相互連結回路基板はガラスエポキシ樹脂又はポリイミドを含むことを特徴とする請求項1、2、3、4、5および6のうちのいずれか1つに記載の相互連結回路基板を有する半導体装置。

【請求項8】インナーリード上の前記相互連結回路基板及び半導体チップ上の相互連結回路基板は下面が互いに同じ高さにあり、互いに連結された同じ本体に形成されていることを特徴とする請求項3および6のうちのいずれか1つに記載の相互連結回路基板を有する半導体装置。

【請求項9】チップ上の前記相互連結回路基板及びインナーリード上の前記相互連結回路基板は同じ高さに下面を有し、互いに連結された同じ本体に形成され、チップ上の電気連結電極パッド及びインナーリードは、インナーリード上の相互連結回路基板の下に連結されていることを特徴とする請求項3および6のうちのいずれか1つに記載の相互連結回路基板を有する半導体装置。

【請求項10】チップ上の前記相互連結回路基板及びインナーリード上の前記相互連結回路基板は同じ高さに下面を有し、互いに連結された同じ本体に形成され、チップ上の電気連結電極パッド及びインナーリードは、インナーリード上の相互連結回路基板の上に連結されていることを特徴とする請求項3および6のうちのいずれか1つに記載の相互連結回路基板を有する半導体装置。

【請求項11】インナーリード上の前記相互連結回路基板及び前記回路基板は同じ高さに下面を有し、互いに連結された同じ本体に形成されていることを特徴とする請求項6記載の相互連結回路基板を有する半導体装置。

【請求項12】前記アイランドは前記インナーリードから凹んでおり、これによってアイランドの前記下面は前記インナーリードの下面よりも低く配置されていることを特徴とする請求項1、2、3、4、5および6のうちのいずれか1つに記載の相互連結回路基板を有する半導体装置。

【請求項13】(a) 複数のインナーリードと、これらのインナーリードから凹んだアイランドと、複数の支持ピンとを有するリードフレームを提供し、これによってアイランドを支持ピンに連結する工程と、

(b) 中央部分と外側部分とに分割する開口部と、複数の電気連結電極パッドと、これらの電気連結電極パッドに電気連結された電気連結パターンとを有する相互連結回路基板を設定する工程と、

(c) 所望の電氣的機能要素及び複数の電気連結電極パッ

ドを有する半導体チップをアイランド上に提供する工程と、

(d) 相互連結回路基板をチップ及びインナーリード上にペーストで糊付けする工程と、

(e) インナーリードのうちの第1インナーリードとチップ上の電気連結電極パッドのうちの第1電気連結電極パッドとを導電材料で連結する工程と、

(f) インナーリードのうちの第2インナーリードとチップ上の相互連結回路基板の電気連結電極パッドのうちの第1電気連結電極パッドとを導電材料で連結する工程と、

(g) チップ上の相互連結回路基板の電気連結電極パッドのうちの第2電気連結電極パッドとチップ上の電気連結電極パッドのうちの第2電気連結電極パッドとを導電材料で連結する工程と、

(h) インナーリードのうちの第3インナーリードとインナーリード上の相互連結回路基板の電気連結パターンとを連結する工程と、

(i) インナーリード上の相互連結回路基板の電気連結パターンとチップ上の電気連結電極パッドのうちの第3電気連結電極パッドとを連結する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、相互連結回路基板を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】図1は、複数のバイポーラトランジスタを有する従来の集積回路の多チップ装置で使した半導体装置の平面図を示す。二つの半導体チップ10がアイランド11上に載置され、このアイランドは4つの支持ピン12でリードフレームに連結されている。幾つかのインナーリード13がアイランド11の周りに配置されている。回路基板14が二つの半導体チップ10の間に配置され、アイランド11上に載置されている。複数の電気連結電極パッド15が半導体チップ10上及び回路基板14上に載置されている。ボンディングワイヤ16aが各電気連結電極パッド15とインナーリード13のうちの隣接したインナーリードとの間で電氣的に連結されている。他のボンディングワイヤ16は、回路基板14に面したチップ10上の電気連結電極パッド15のうちの他の一つの電気連結電極パッドと回路基板14上の電気連結電極パッド15のうちの一つの間に電氣的に連結されている。ボンディングワイヤ16は必要とされない部分に接触しないように短いことが必要とされる。従って、ボンディングワイヤ16は隣接した部分にのみ電氣的に連結される。アイランド11、半導体チップ10、回路基板14、支持ピン12、ボンディングワイヤ16、及びインナーリード13は、セラミックパッケージで樹脂封止される。

7

【0003】しかしながら、図1に示す従来の半導体装置では、図1の左側に配置されたインナーリード13aと半導体チップ10の右側に配置された電気連結電極パッド15aとを電気的に連結する必要がある場合には、長いボンディングワイヤ16が必要となる。このような長いボンディングワイヤは他の不必要な部分と接触することがあるため、所望の回路機能が干渉されることがある。従って、インナーリードのうちの一つのインナーリードと電気連結電極パッドのうちの一つの電気連結電極パッドとの間の長い連結体は達成されない。そのため、従来の技術では、半導体チップの内部回路は遠隔の部分を電気的に連結する必要があるように設計されていた。半導体チップの内部回路はインナーリードの配置に従って頻繁に再設計された。

【0004】

【発明が解決しようとする課題】従って、本発明の目的は、各々遠隔の部分に配置された電気連結電極パッドとインナーリードとの電気的接触を半導体チップの内部回路の再設計なしで可能にする改良半導体装置を提供することである。本発明の他の目的は、改良半導体装置の製造方法を提供することである。

【0005】

【課題を解決するための手段】本発明の第1の特徴によれば、所定の平面に合わせて形成されたアイランドと、複数の電気連結電極パッドを有し、アイランド上に配置された半導体チップと、電気連結パターンを有し、半導体チップ上に載置された相互連結回路基板と、アイランドの周りに配置された複数のインナーリードと、電気連結パターンと複数の電気連結電極パッドのうちの一つの電気連結電極パッド、又はインナーリードのうちの一つのインナーリードとを連結するための電気連結手段とを有する、相互連結回路基板を備えた半導体装置が提供される。

【0006】本発明の第2の特徴によれば、複数のインナーリードと、これらのインナーリードから凹んだアイランドと、複数の支持ピンとを有するリードフレームを提供し、これによってアイランドを支持ピンに連結する工程と、中央部分と外側部分とに分割する開口部と、複数の電気連結電極パッドと、これらの電気連結電極パッドに電気連結された電気連結パターンとを有する相互連結回路基板を設定する工程と、所望の電気的機能要素及び複数の電気連結電極パッドを有する半導体チップをアイランド上に提供する工程と、相互連結回路基板をチップ及びインナーリード上にペーストで糊付けする工程と、インナーリードのうちの第1インナーリードとチップ上の電気連結電極パッドのうちの第1電気連結電極パッドとを導電材料で連結する工程と、インナーリードのうちの第2インナーリードとチップ上の相互連結回路基板の電気連結電極パッドのうちの第1電気連結電極パッドとを導電材料で連結する工程と、チップ上の相互連

8

結回路基板の電気連結電極パッドのうちの第2電気連結電極パッドとチップ上の電気連結電極パッドのうちの第2電気連結電極パッドとを導電材料で連結する工程と、インナーリードのうちの第3インナーリードとインナーリード上の相互連結回路基板の電気連結パターン及びチップ上の電気連結電極パッドのうちの第3電気連結電極パッドを連結する工程とを有する、半導体装置の製造方法が提供される。

【0007】

10 【作用】本発明の半導体装置では、アイランドは支持ピンを備えた平らな基板を形成することによって形成され、半導体チップは、その上に複数の電気連結電極パッドを有するように形成され、電気連結パターンを有する相互連結回路基板は、接着剤で半導体チップ上に載置され、半導体チップはアイランド上に載置され、第1連結手段は所望のインナーリードと半導体チップの所望の電気連結電極パッドとの間で連結され、第2連結手段は、半導体チップの所望の電気連結電極パッドと相互連結回路基板の電気連結パターンの所望の部分との間に連結されている。

20 【0008】その結果、所望のインナーリードとチップ上の所望の電気連結電極パッドとの間の電気的な連結を相互連結回路基板で行うことができる。本発明の他の目的、特徴、及び利点は以下の詳細な説明から明らかになるであろう。

【0009】

【実施例】第1の実施例は、図2(a)および(b)に示すものである。半導体装置は、平らな平面をなすように形成されたアイランド20を有する。半導体チップ21がアイランド20の中央部に載置され、この半導体チップは、外部信号を受入れ、内部信号を出力するための複数の電気連結電極パッド22を有する。相互連結回路基板23が半導体チップ21上に載置されている。相互連結回路基板23及び半導体チップ21は接着剤、例えばペースト又は糊で機械的に連結されている。アイランド21は四つの支持ピン24で支持され、これによって、アイランドはリードフレーム（図示せず）に連結されている。

40 【0010】複数のインナーリード25がアイランド20の周りに配置されている。複数のボンディングワイヤ26が導電電極パッド22と隣接したインナーリード25とを連結する。相互連結回路基板23は、電気連結パターン27をその上に有し、このパターンは、電気連結電極パッド、即ち第1電気連結電極パッド28aおよび電気連結パターン27に連結された第2電気連結電極パッド28bを電気的に連結する。相互連結回路基板23はガラスエポキシ又はポリイミドからできており、電気連結パターン27は銅でできている。図2(a)に図示した第1インナーリード25と図2(a)の右側に図示した第1パッド22aとは第1ワイヤ26aで連結さ

第1電気連結電極パッド48aとを第2ワイヤ46bで連結し、電気連結電極パッドのうちの第2電気連結電極パッド42bと電気連結電極パッド48bとを第3ワイヤ46cで連結する。

【0078】図17(d)に示す第10工程では、第2電気連結パターン50の他の部分とインナーリード45のうちの一つのインナーリードとを第4ワイヤ46dで連結する。

【0079】

【発明の効果】以上説明したように、本発明によれば遠隔部分に配置されたインナーリードチップ上の所望の電極パッドとを、相互連結回路基板を用いて容易かつ確実に電氣的に接続することができる。

【図面の簡単な説明】

【図1】マルチチップを有する従来の半導体装置の平面図。

【図2】単一のチップを有する本発明の第1の実施例を示す図。

【図3】単一のチップを有する本発明の第2の実施例を示す図。

【図4】単一のチップを有する本発明の第3の実施例を示す図。

【図5】マルチチップを有する本発明の第4、第5および第6の実施例を示す平面図。

【図6】マルチチップを有する本発明の第4、第5および第6の実施例を示す側断面図。

【図7】単一のチップを有する本発明の第7の実施例を示す図。

【図8】単一のチップを有する本発明の第8の実施例を示す図。

【図9】単一のチップを有する本発明の第9の実施例を示す図。

【図10】マルチチップを有する本発明の第10の実施

例を示す平面図。

【図11】マルチチップを有する本発明の第10の実施例を示す側断面図。

【図12】マルチチップを有する本発明の第11の実施例を示す平面図。

【図13】マルチチップを有する本発明の第11の実施例を示す側断面図。

【図14】本発明による製造方法の第1の実施例を示す側断面図。

【図15】本発明による製造方法の第1の実施例を示す側断面図。

【図16】本発明による製造方法の第2の実施例を示す側断面図。

【図17】本発明による製造方法の第2の実施例を示す側断面図。

【符号の説明】

20 アイランド

21 半導体チップ

22 電気連結電極パッド

22a 第1パッド

22b 第2パッド

23 相互連結回路基板

24 支持ピン

25 インナーリード

25a 第1インナーリード

26 ボンディングワイヤ

27 電気連結パターン

28a 第1電気連結電極パッド

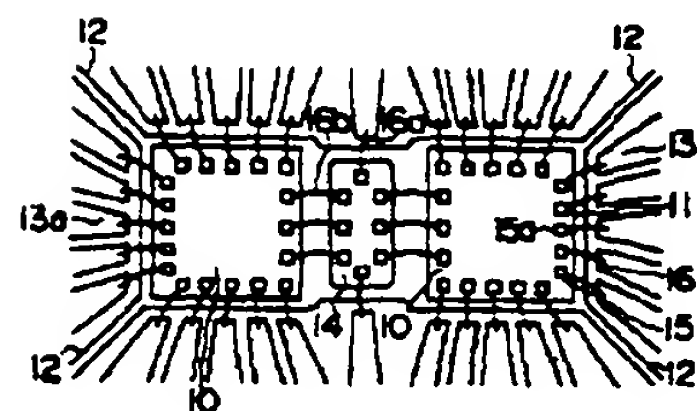
28b 第2電気連結電極パッド

30 26a 第1ワイヤ

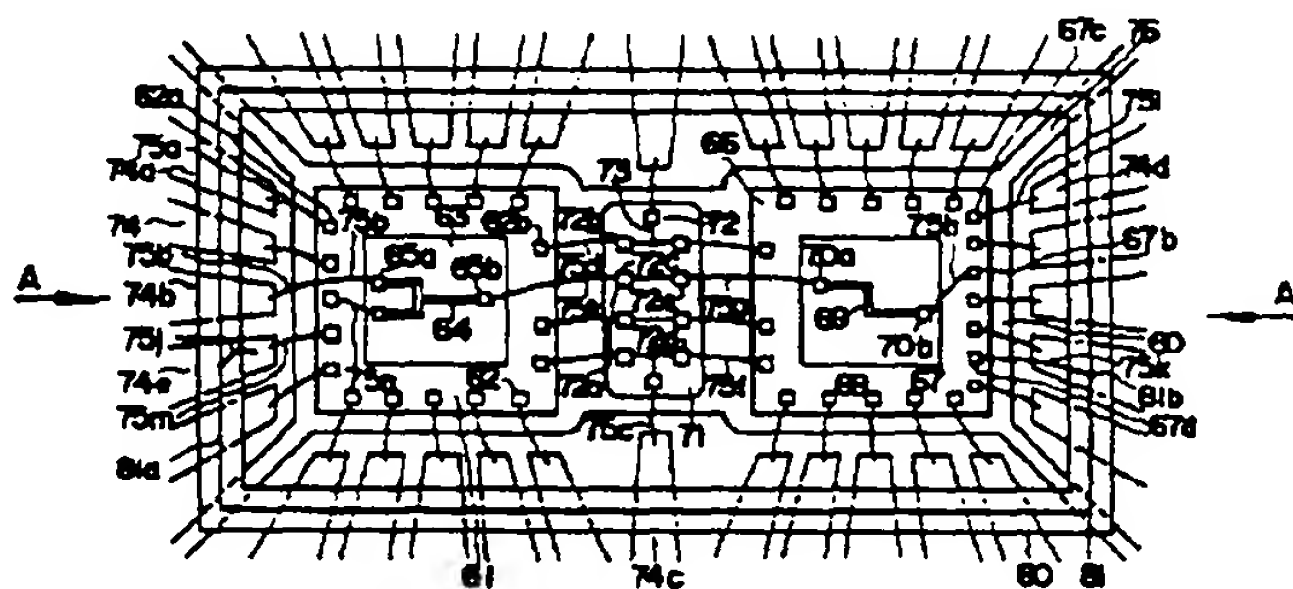
26b 第2ワイヤ

26c 第3ワイヤ

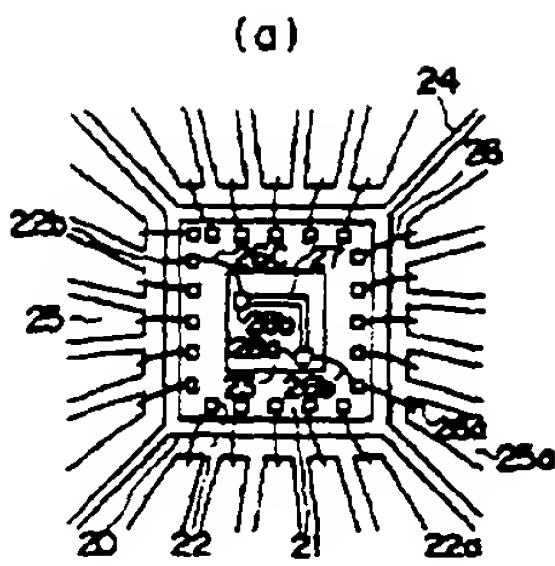
【図1】



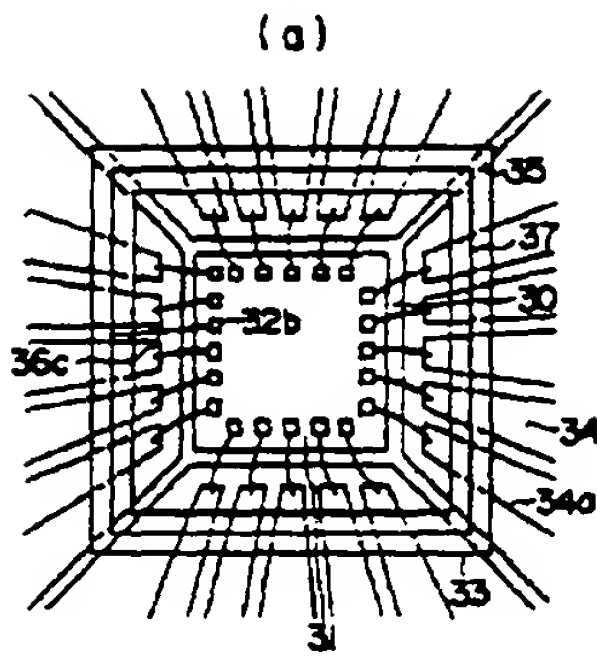
【図5】



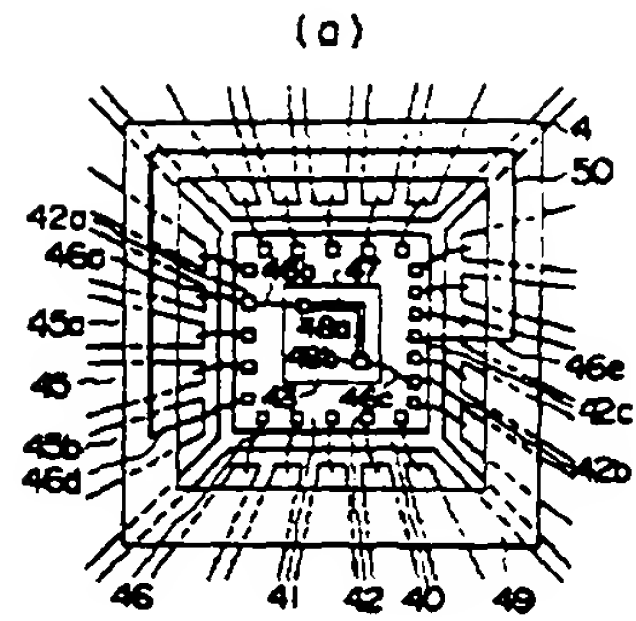
【図2】



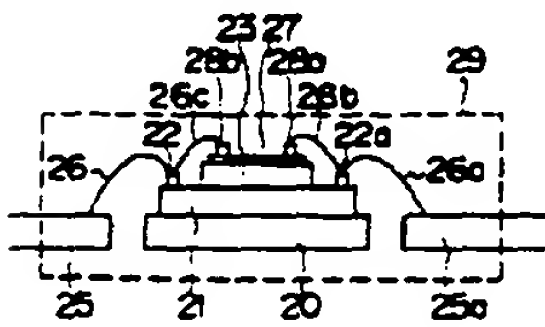
【図3】



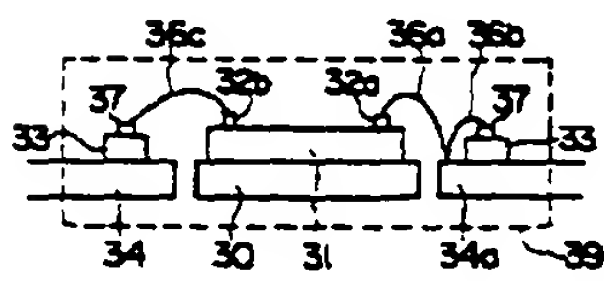
【図4】



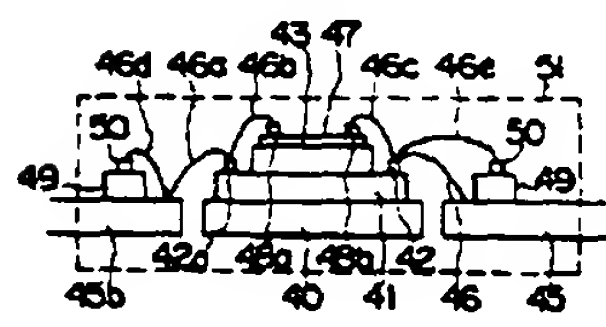
(b)



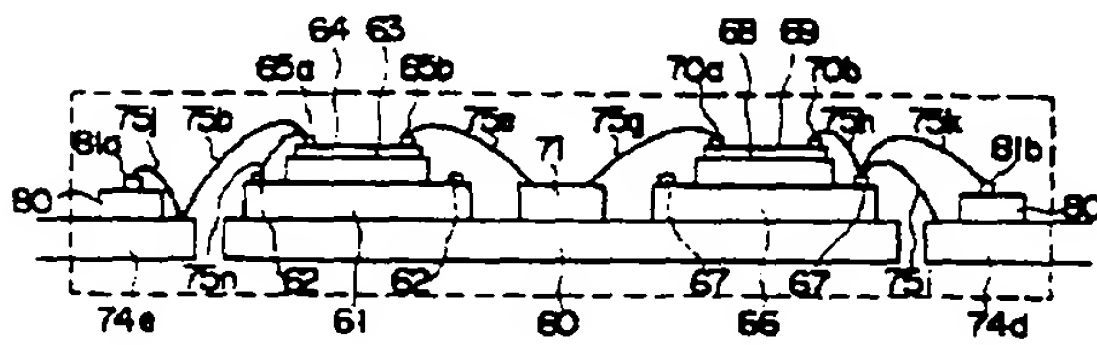
(b)



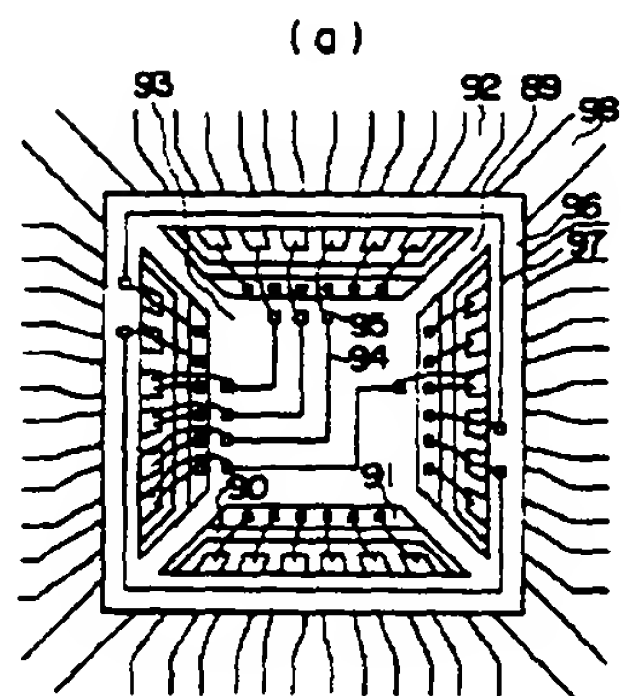
(b)



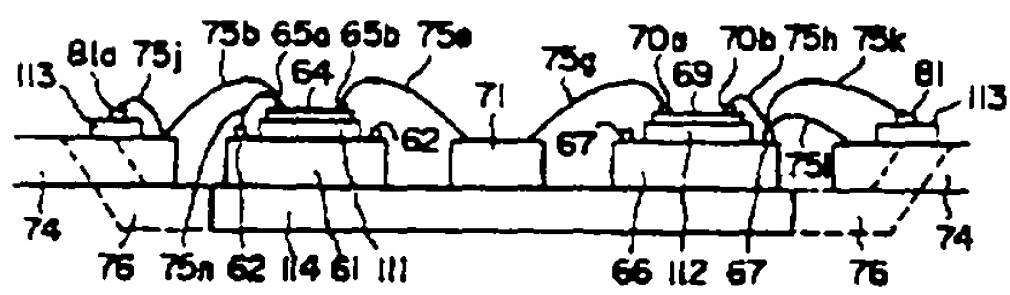
【図6】



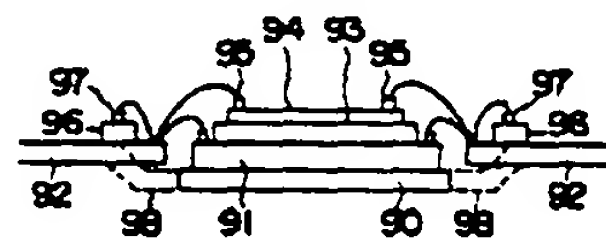
【図7】



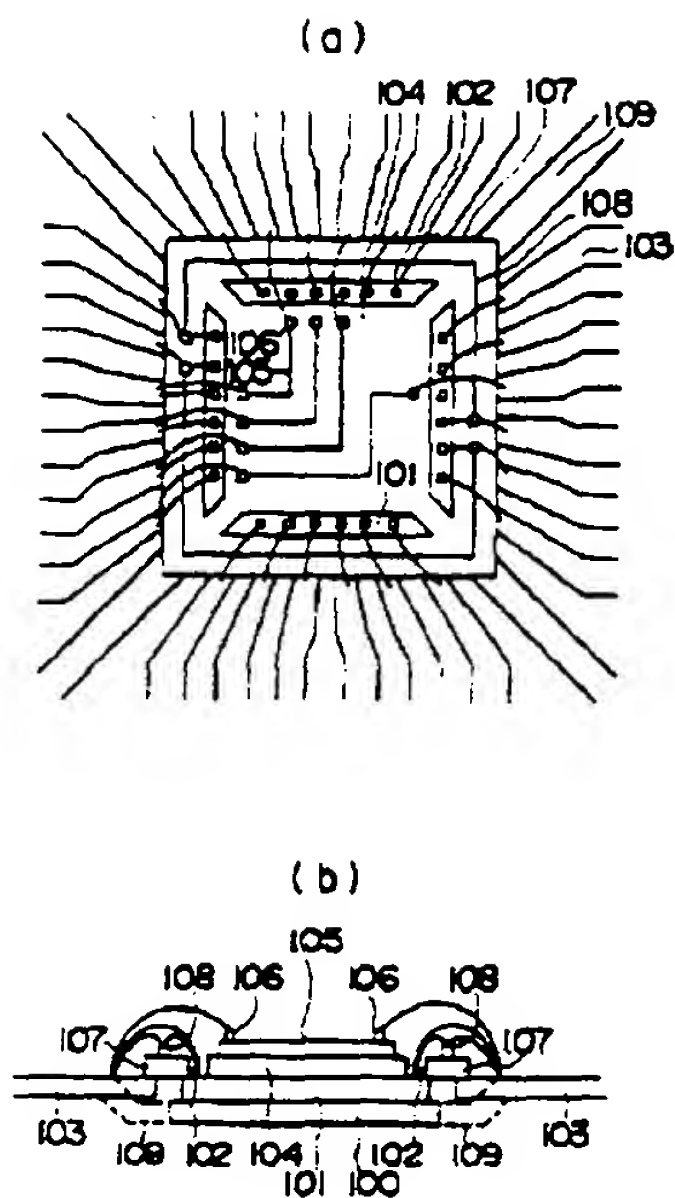
【図11】



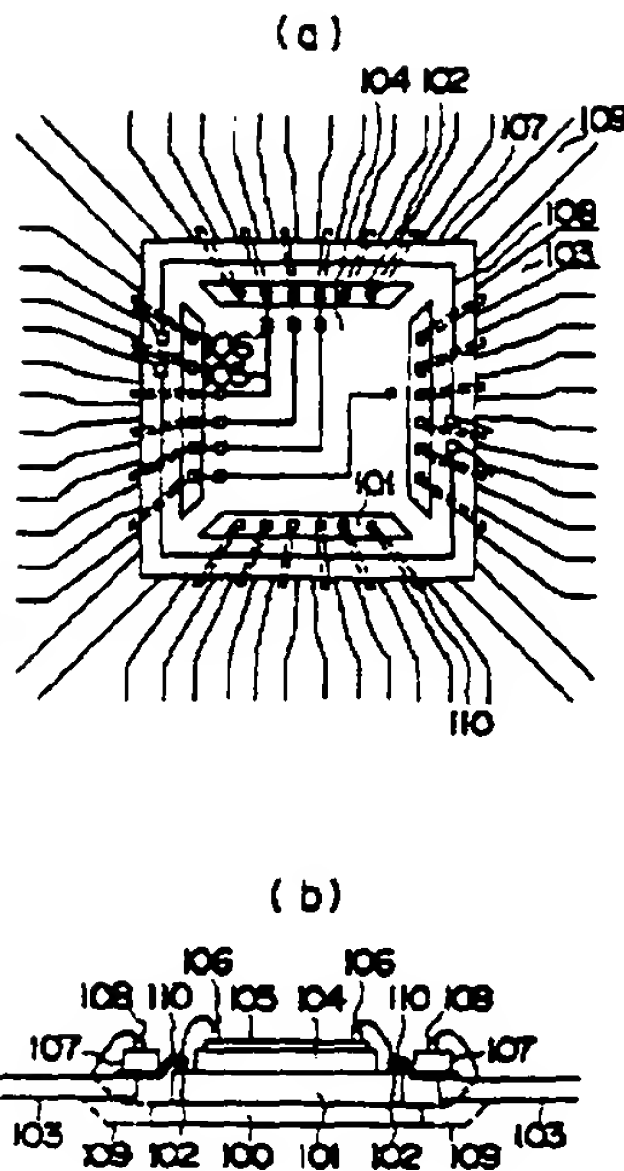
(b)



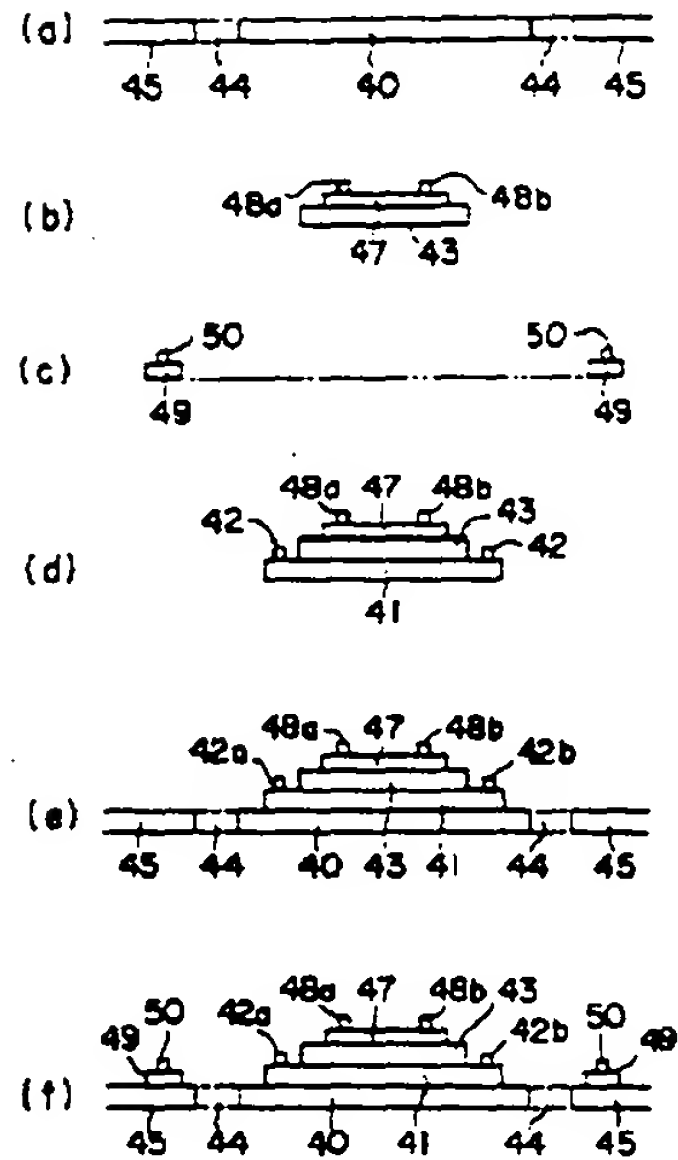
【図8】



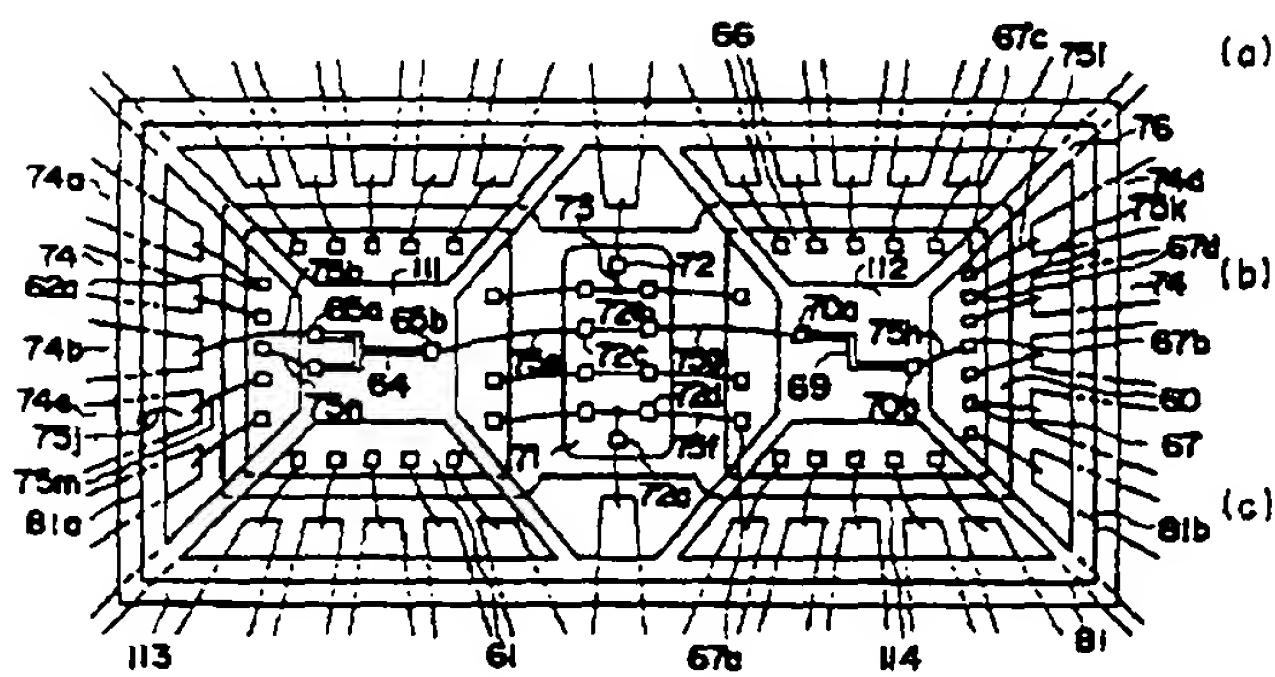
【図9】



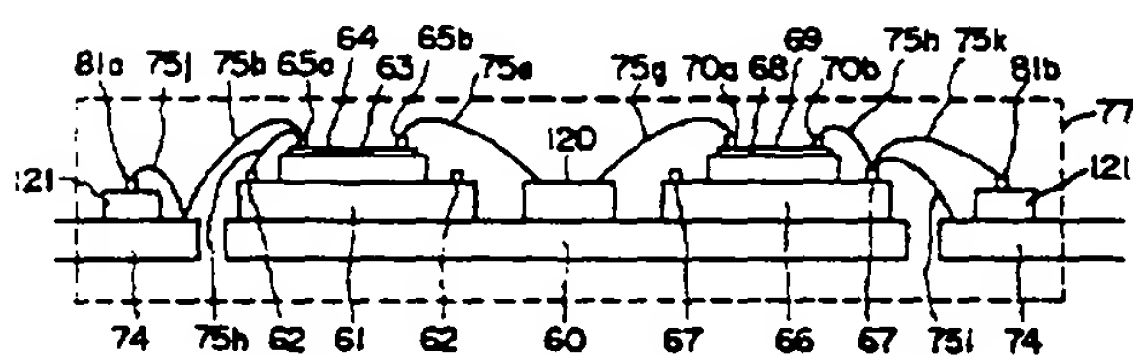
【図16】



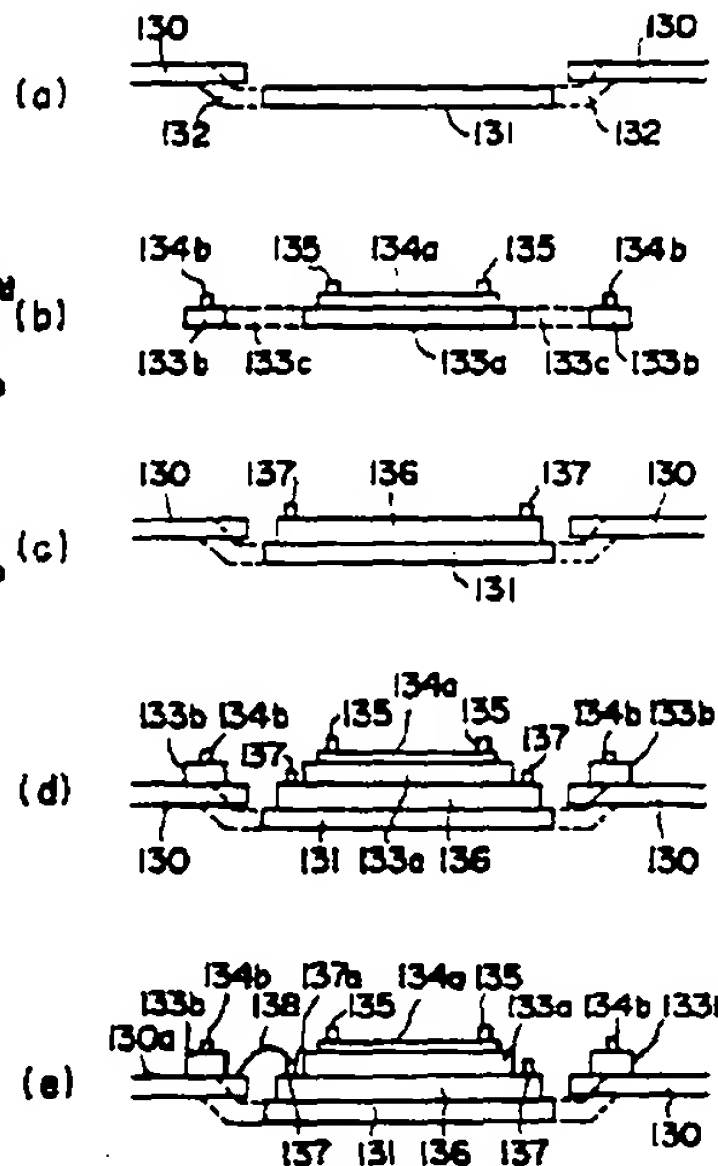
【図10】



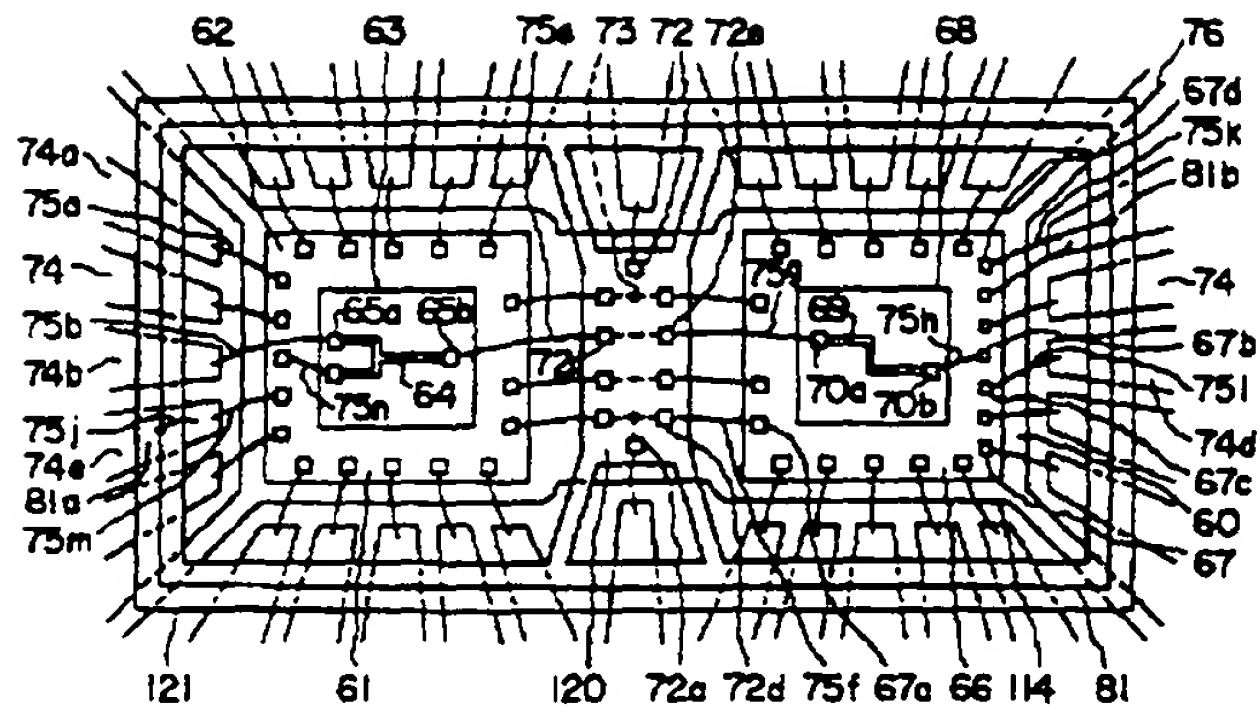
【図13】



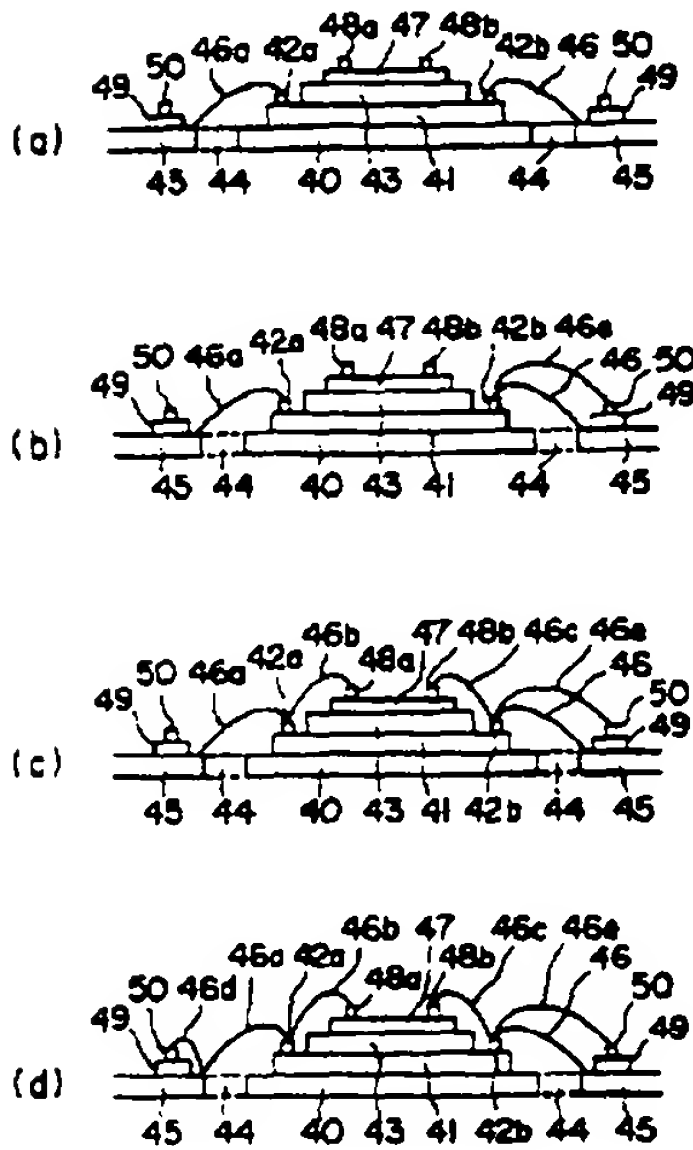
【図14】



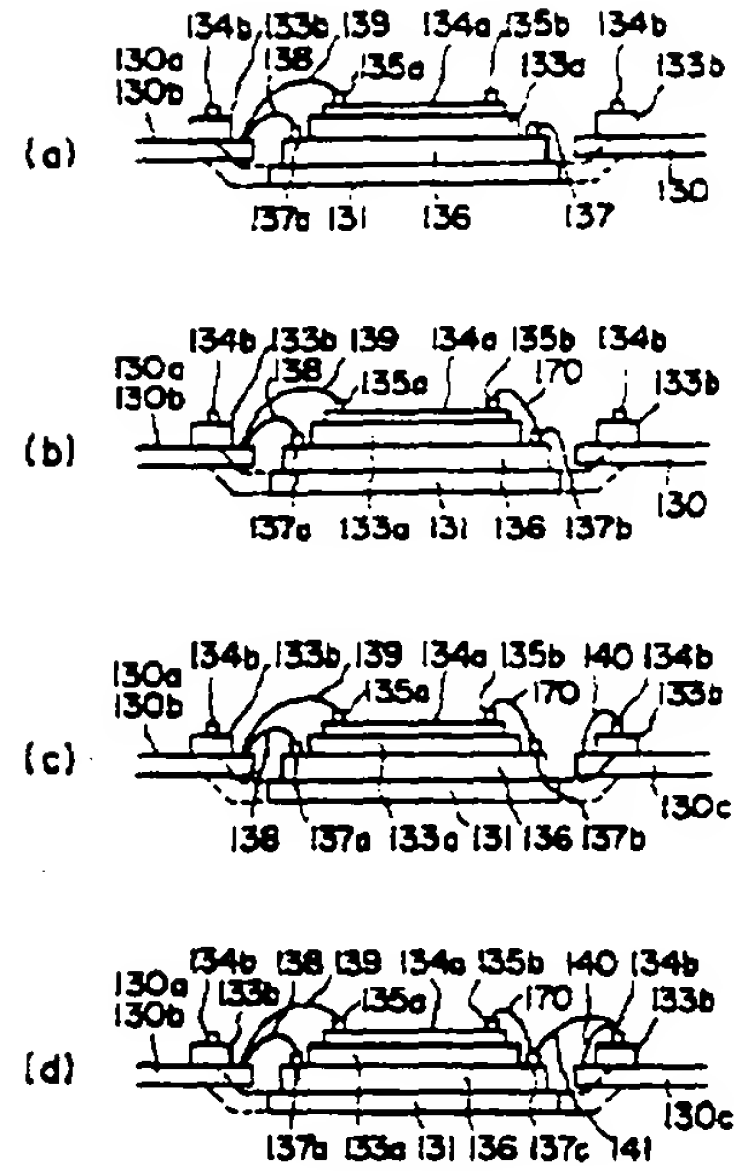
【図12】



【図17】



【図15】



SEMICONDUCTOR DEVICE

Patent Number: JP64001269
Publication date: 1989-01-05
Inventor(s): WATANABE MASAYUKI; others: 04
Applicant(s):: HITACHI LTD; others: 03
Requested Patent: ☐ JP64001269
Application Number: JP19870155478 19870624
Priority Number(s):
IPC Classification: H01L25/04 ; H01L23/52 ; H01L25/08
EC Classification:
Equivalents: JP2603636B2

Abstract

PURPOSE: To improve the mounting density of a semiconductor chip on a module substrate by connecting the bump electrode of a semiconductor chip to leads, and connecting a plurality of the chips having leads to the wirings of the substrate.

CONSTITUTION: A module substrate 1 composed by a plurality of ceramic layers and wiring layers of laminated ceramics places 8 semiconductor chips 4A, 4B, 4C, 4D on its front and rear faces. It is not sealed with package made of ceramics or resin, and the face formed with semiconductor elements or wirings is molded with resin 7. Thus, the chips 4A, 4B, 4C, 4D connected with leads 5A, 5B, 5C, 5D by TABs to bump electrodes 6 are placed on the substrate 1 to construct a semiconductor device, thereby reducing the area of occupying the chips 4A, 4B, 4C, 4D on the substrate 1. Accordingly, the mounting density of the devices can be increased.

Data supplied from the esp@cenet database - 12